

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-088193

(43)Date of publication of application : 12.04.1991

(51)Int.Cl. G11C 11/401

(21)Application number : 01-225426

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.08.1989

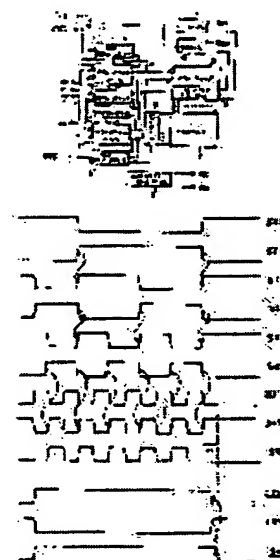
(72)Inventor : TSUCHIDA KENJI  
OWAKI YUKITO

## (54) DYNAMIC SEMICONDUCTOR MEMORY DEVICE

### (57)Abstract:

**PURPOSE:** To perform the serial access mode operation of a DRAM at high speed by incorporating a serial address counter in a chip.

**CONSTITUTION:** When the inverse of RAS is decreased and a reset signal CSET and a signal, the inverse of CSET go to H and L levels, respectively, the transistor for reset of the serial address counter 13 is de-energized, and a row address is fetched. After the lapse of a time  $\tau$ , a column address is accepted with the latch signal CLTC of a column address 2, and after all the output A0s, A1s... of the serial address counter are set at 0s, count-up is performed sequentially by the toggle of the signals CLTC and the inverse of CLTC. The output is directly inputted to a column decoder 5 via the column address buffer 2, and a fast serial access function can be realized without limiting the number of bits.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**BEST AVAILABLE COPY**

[Date of extinction of right]

訂正有り

⑩ 日本国特許庁(JP)

⑩ 特許出願公開

⑩ 公開特許公報(A) 平3-88193

⑨ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑨ 公開 平成3年(1991)4月12日

G 11 C 11/401

8323-5B

G 11 C 11/34

3 6 2 C

審査請求 未請求 請求項の数 4 (全10頁)

④ 発明の名称 ダイナミック型半導体メモリ装置

⑥ 特 願 平1-225426

⑥ 出 願 平1(1989)8月31日

⑦ 発 明 者 土 田 賢 二 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑦ 発 明 者 大 脇 幸 人 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑦ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑦ 代 理 人 弁理士 鈴江 武彦 外3名

## 明 細 書

### 1. 発明の名称

ダイナミック型半導体メモリ装置

### 2. 特許請求の範囲

(1) カラム方向のシリアル・アドレスを発生するシリアル・アドレス・カウンタを内蔵したことを特徴とするダイナミック型半導体メモリ装置。

(2) シリアル・カウンタは外部カラム・アドレス・ストロープ信号のトグルによってカウント・アップされ、その出力がカラム・アドレスバッファまたはカラム・デコードに入力されて、シリアル・アクセスが実行される請求項1記載のダイナミック型半導体メモリ装置。

(3) シリアル・アドレス・カウンタは外部アドレスに対してプリセット機能を有する請求項1または2記載のダイナミック型半導体メモリ装置。

(4) シリアル・アドレス・カウンタはリフレッシュ・カウンタと共用される請求項1ないし3のいずれかに記載のダイナミック型半導体メモリ装置。

### 3. 発明の詳細な説明

#### [発明の目的]

(産業上の利用分野)

本発明は、ダイナミック型半導体メモリ装置に関する。

#### (従来の技術)

MOS型半導体メモリのうち、1トランジスタ/1キャパシタからなるダイナミックRAM(DRAM)は最も高集積化が進んでいる。最近のDRAMには通常のアクセスモードのほかに、ページ・モード、ニブル・モード、スタティック・カラム・モードといった高速アクセスモードが搭載されている。一方で、1行分のデータを高速かつシリアルにアクセスできるシリアル・アクセスも、画像処理の分野或いはキャッシュメモリを用いたコンピュータ・システム分野からの要求が強い。

従来のページモードは、選択された1行文のデータに関してランダムにかつ高速にアクセスできるモードである。このページ・モードのリード・

## 特開平3-88193 (2)

サイクルのタイミング・チャートを第9図に、ライト・サイクルのタイミング・チャートを第10図にそれぞれ示す。いずれも、ロウ・アドレス・ストロブ信号 ( $\overline{RAS}$ ) をアクティブにした状態でカラム・アドレス・ストロブ信号 ( $\overline{CAS}$ ) をトグルさせ、 $\overline{CAS}$  の降下の際にカラム・アドレスを取り込むことにより、カラム方向に関してランダムにリード或いはライト動作ができる。したがってこのページ・モードを用いれば、外部からシリアルにアドレスを与えることによって、1行分のデータを高速にかつシリアルにアクセスする、シリアル・アクセスができる。

しかしこのページ・モードを利用したシリアル・アクセスでは、カラム・アドレスを  $\overline{CAS}$  のトグルに対応して毎回外部から取り込む必要があるため、速度的には限界がある。その理由を具体的に第9図、第10図を用いて説明すると、 $\overline{CAS}$  の降下エッジに、カラム・アドレス・セットアップ時間  $t_{asc}$ 、カラム・アドレス・ホールド時間  $t_{cah}$  が設定されているために、カラム・アドレ

スのストロブに要するタイミング上のマージンが必要になるからである。

一方、通常のDRAMに搭載されているモードにニブル・モードがある。第11図および第12図にそれぞれ、ニブル・モードでのリード・サイクルおよびライト・サイクルのタイミング・チャートを示す。このニブル・モードは、 $\overline{CAS}$  のトグルのみによってカラム方向の連続したビットの高速アクセスを行う点で前述のページ・モードと類似する。ただし、ニブル・モードでは、 $\overline{CAS}$  の第2サイクル以降についてはカラム・アドレスの取り込みを必要としない。この点でニブル・モードは一般にページ・モードよりも高速であり、これが大きい利点になっている。

しかしニブル・モードは、アクセスできるビット数に限界があるのが最大の難点であり、シリアル・アクセスには応用できない。アクセスできるビット数に限界がある理由は、次のような事情による。ニブル・モードでは、複数のデータの一括して  $\overline{CAS}$  の第1サイクルにおいてデータラッ

チ・レジスタに送り、ここから  $\overline{CAS}$  のトグルにより順次出力ポートにデータを転送する事によって高速アクセスを実現している。したがって、データラッチ用のレジスタの数がアクセスできるビット数の限界になっているのである。レジスタの数と1行分のデータ数が同じであれば、1行分のデータを高速かつシリアルにアクセスできることになるが、主としてチップ面積の制約から、現在では4ビット・ニブルが一般的になっている。

(発明が解決しようとする課題)

以上のように従来のDRAMにおいて、1行分の全てのデータを高速にシリアル・アクセスするには、ページ・モードでは高速性に難点があり、ニブル・モードではチップ面積の点からアクセスできるビット数に限界がある、といった問題があった。

本発明はこの様な問題を解決して、高速のシリアル・アクセスを可能としたDRAMを提供することを目的とする。

## 【発明の構成】

(課題を解決するための手段)

本発明によるDRAMは、カラム方向のシリアル・アドレスを発生するシリアル・アドレス・カウンタを内蔵したことを特徴とする。シリアル・アドレス・カウンタは  $\overline{CAS}$  のトグルによってカウント・アップされ、その出力がカラム・アドレスバッファまたはカラム・デコードに入力されて、シリアル・アクセスが実行される。

(作用)

本発明によれば、ページ・モードにおいて毎回の  $\overline{CAS}$  のトグルに際してカラム・アドレスを外部から取り込む必要がない。したがって、カラム・アドレス・セットアップ時間  $t_{asc}$  やカラム・アドレス・ホールド時間  $t_{cah}$  などのタイミング・マージンを必要とせず、より高速のページ・モードの動作が実現できる。またシリアル・アドレス・カウンタによりシリアル・アドレスを発生させる事により、高速のシリアル・アクセス・モードが実現できる。しかも、シリアル・アドレス

## 特開平3-88193 (3)

・カウンタを設ける事は、ニプル・モードにおいて1行分のデータを蓄えるデータラッチ・レジスタを設ける場合と比較すると、チップ面積の増大は小さい。

## (実施例)

以下、本発明の実施例を説明する。

第1図は、一実施例のDRAMの要部構成を示すブロック図である。外部アドレスを取り込むロウ・アドレス・バッファ1、カラム・アドレス・バッファ2、これらのアドレス・バッファ1、2を駆動するクロック・ジェネレータ3、4、取り込まれたアドレスをデコードするカラム・デコーダ5、ロウ・デコーダ6、これらのデコーダ出力により駆動される1トランジスタ/1キャパシタのメモリセルが配列されたメモリセルアレイ7、メモリセルアレイ7とデータのやり取りを行うセンスアンプおよびI/Oゲート8、入出力データをラッチする入力バッファ9、出力バッファ10、基板バイアス発生回路11、メモリセルアレイのセルフ・リフレッシュのためのリフレッシュ・カ

ウンタ12を有する。これら主要な構成は従来のDRAMと変わらない。この実施例ではこれらのほか、カラム方向のシリアル・アドレスを発生させるシリアル・アドレス・カウンタ13を内蔵している。このシリアル・アドレス・カウンタ13は、 $\overline{CAS}$ のトグルに対応してカウント・アップされるように構成されており、その出力がカラム・アドレス・バッファ2に入力されるようになっている。

第2図は、第1図の構成を僅かに変更した実施例である。この実施例では、シリアル・アドレス・カウンタ13の出力がカラム・アドレス・バッファ2の入力部ではなく出力部、すなわちカラム・デコーダ5の入力部に直接入力されている。この点を除き、第1図の実施例と同じである。

第3図(a)は、実施例に用いられるシリアル・アドレス・カウンタ13の具体的構成例である。このシリアル・アドレス・カウンタは、第3図(b)に等価回路を示し、同図(c)に記号で示したようなクロックドCMOSインバータを構成要素

とするシフトレジスタ型のカウンタであり、図では初段と1段目を示している。このカウンタの構成要素であるクロックドCMOSインバータの導通、非導通を制御するクロックとしては、最下位アドレス・カウンタにはカラム・アドレスのラッチ信号CLTC、 $\overline{CLTC}$ が、それ以外のアドレス・カウンタにはそれぞれ一つ下位のアドレス・カウンタの出力が入力される。このようなアドレス・カウンタを連続接続することによって、所定ビット数例えば1行分のアドレスを発生するシリアル・アドレス・カウンタが構成される。シリアル・アドレス・カウンタはリセット用トランジスタQ1、Q2、...を有し、リセット信号CSET、 $\overline{CSET}$ によって初期化できるようにしている。

第4図は、上記したシリアル・アドレス・カウンタの動作を示すタイミング図である。これを用いてシリアル・アドレス・カウンタの動作を説明すると、まず $\overline{RAS}$ が降下してアクティブになると、リセット信号CSETが“H”レベル、

$\overline{CSET}$ が“L”レベルとなり、これによりシリアル・アドレス・カウンタのリセット用トランジスタQ1、Q2、...が非導通になる。そして $\overline{RAS}$ の降下により、ロウ・アドレスが取り込まれ、これから時間 $t_1$ 経過後に、カラム・アドレスのラッチ信号CLTCが“H”レベル、 $\overline{CLTC}$ が“L”レベルになることにより、カラム・アドレスが受け付けられる。このときシリアル・アドレス・カウンタは、出力A0s、A1s、A2s、...のすべてが“0”にセットされる。その後、 $\overline{CAS}$ のトグルによってラッチ信号CLTCが“H”レベル、 $\overline{CLTC}$ が“L”レベルになると、A0s=1、A1s=0、A2s=0、...となり、次にラッチ信号CLTCが“H”レベル、 $\overline{CLTC}$ が“L”レベルになると、A0s=1、A1s=1、A2s=0、...となり、以下順次CLTC、 $\overline{CLTC}$ のトグルによってカウント・アップされる。

したがってこのシリアル・アドレス・カウンタの出力を、第1図に示すようにカラム・アドレス

## 特開平3-88193 (4)

・バッファを介し、或いは第2図に示すように直接カラム・デコーダに入力することにより、ページ・モードを利用したシリアル・アクセス・モードが実現できる。

この実施例によれば、外部からのカラム・アドレスのストロブを要せずシリアル・アクセスができ、従来のページ・モードに比べて高速のシリアル・アクセス機能を実現する事ができる。またニブル・モードにおけるようにシリアル・アクセスのビット数が制限されることはない。

次に本発明をポインタ機能付きのDRAMに適用した実施例につき説明する。ここにポインタ機能とは、カラム・アドレスに対して任意のアドレスからのシリアル・アクセスを可能とする、いわば頭出し機能である。このような機能は、例えば画像メモリにおいて、水平方向のドット・スクロール等を容易にする上で有用なものである。

第5図はその様な実施例のDRAMに内蔵されるシリアル・アドレス・カウンタである。DRAMの全体構成は第1図或いは第2図と同様

である。ここでは、1段目のみ示している。このシリアル・アドレス・カウンタは所謂プリセット型カウンタであり、シリアル・アドレスを順に発生する主カウンタ51と、この主カウンタ51のデータをラッチして次段の主カウンタを制御するための従カウンタ52、およびこれらを外部アドレスに対してプリセットするプリセット・ポート53を有する。

第6図はこのシリアル・アドレス・カウンタの制御クロックCT1を発生するクロック発生回路である。プリセット・ポート53に入る制御クロック信号HOLDが“L”レベルの間は最初のクロックCT0が発生せず、制御クロックHOLDが“H”レベルになることにより、CASのトグルに同期して発生するラッチ信号CLTCに同期して順次1/2分周されたクロックCT1、CT2、…が発生するように構成されている。

次に第5図のシリアル・アドレス・カウンタの動作を第7図のタイミング図を参照して説明する。外部制御信号RASが降下してロウ・アドレスが

取り込まれた後、RASの降下から時間t1でラッチ信号CLTCが“H”レベルになり、カラム・アドレスの受け付けが開始される。ラッチ信号CLTCはCASの降下により再び“L”レベルに低下する事により、カラム・アドレスがラッチされる。これと並行して、CASが降下するまでの制御信号HOLDが“H”レベルの間に、プリセット・ポート53に入力されたデータA1c、A1cによってシリアル・アドレス・カウンタは外部アドレスに対してプリセットされる。第7図では、2ビット分のシリアル・アドレス・カウンタの場合について、最下位アドレスA0が“H”レベル、次のアドレスA1が“L”レベルにプリセットされた状態を示している。この後CASのトグルに対応してラッチ信号CLTCが動作し、これによりクロックCT0が“H”レベルに、またこのクロックCT0とカウンタ出力S0sにより次のクロックCT1が“H”レベルに、というようにクロックが入る。この結果シリアル・アドレス・カウンタは、プリセットされた状態(S0 =

1, S1 = 0) から、S0 = 0, S1 = 1、次いでS0 = 1, S1 = 1というようにカウントアップされる。

このプリセット型シリアル・アドレス・カウンタの出力が先の実施例と同様にカラム・アドレス・バッファを介して、或いは直接カラム・デコーダに入力されて、ページ・モードを応用したシリアル・アクセス・モードが実現される。

この実施例によっても先の実施例と同様の効果が得られる。

ところでDRAMは、第1図、第2図に示したようにオート・リフレッシュ用のリフレッシュ・カウンタを内蔵するものが一般的である。したがって本発明を実施するに当たって、シリアル・アクセスのためのシリアル・アドレス・カウンタとリフレッシュ・カウンタとを共用することが考えられる。その場合、n回のリフレッシュ・サイクルを連続してではなく途中でシリアル・アクセス・モードを挟んで行うこともあり得るため、リフレッシュ・アドレスを一時保持するレジスタが必

## 特開平3-88193 (5)

要になる。

第8図は、その様な事情を考慮した実施例のDRAMでのオート・リフレッシュ用兼シリアル・アクセス用のカウンタの概略構成である。カウンタ回路81と並列にリフレッシュ・アドレス・レジスタ回路82が設けられ、これらの間でデータのやり取りができるようになっている。リフレッシュ・アドレスは常にリフレッシュ・アドレス・レジスタ回路82を通して出力されるようにし、かつカウンタ回路81はこのリフレッシュ・アドレス・レジスタ回路82にラッチされたアドレスに対してもプリセット可能としておく。これによって、リフレッシュ・サイクルを途中で中断してシリアル・アクセス・モードを実行し、その後中断したリフレッシュ・サイクルを続けるということが可能になる。

この様にリフレッシュ・カウンタとシリアル・アドレス・カウンタを共用することによって、DRAMのチップ面積の有効利用が図られる。

第7図は同じく動作を説明するためのタイミング図、

第8図はリフレッシュ・カウンタと共用したシリアル・アドレス・カウンタの構成例を示すブロック図、

第9図はDRAMのページ・モードのリード・サイクルを示すタイミング図、

第10図は同じくライト・サイクルを示すタイミング図、

第11図はニブル・モードのリード・サイクルを示すタイミング図、

第12図は同じくライト・サイクルを示すタイミング図である。

1…ロウ・アドレス・バッファ、2…カラム・アドレス・バッファ、3、4…クロック・ジェネレータ、5…カラム・デコード、6…ロウ・デコード、7…メモリセルアレイ、8…センスアンプ／1/0ゲート、9…入力バッファ、10…出力バッファ、11…基板バイアス発生回路、12…リフレッシュ・カウンタ、13…シリアル・アド

## 【発明の効果】

以上述べたように本発明によれば、チップ内にシリアル・アドレスカウンタを内蔵することによって、高速のシリアル・アクセス・モード動作を可能としたDRAMを得ることができる。

## 4. 図面の簡単な説明

第1図は本発明の一実施例のDRAMの構成を示すブロック図、

第2図は他の実施例のDRAMの構成を示すブロック図、

第3図(a)(b)(c)は実施例のDRAMに内蔵するシリアル・アドレス・カウンタの等価回路とその構成要素であるクロックDCMOSインバータを示す図、

第4図はそのシリアル・アドレス・カウンタの動作を説明するためのタイミング図、

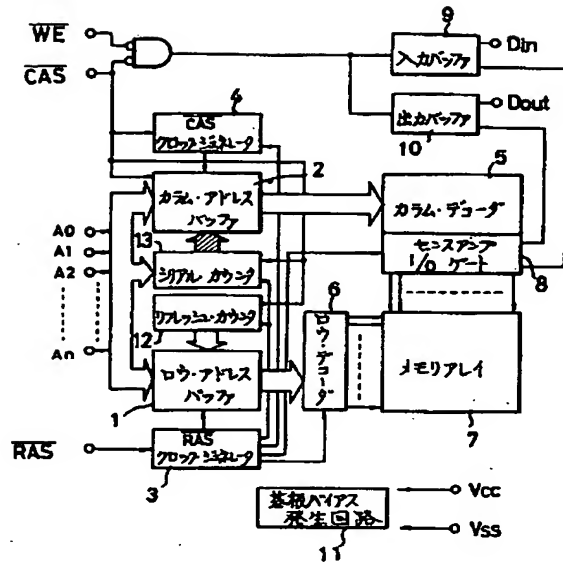
第5図は他のシリアル・アドレス・カウンタの構成例を示す等価回路図、

第6図はそのクロック発生回路の構成例を示す等価回路図、

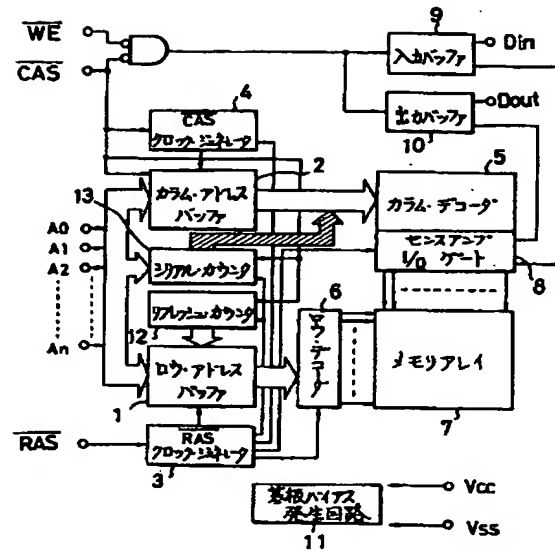
レス・カウンタ。

出願人代理人 弁理士 鈴江武彦

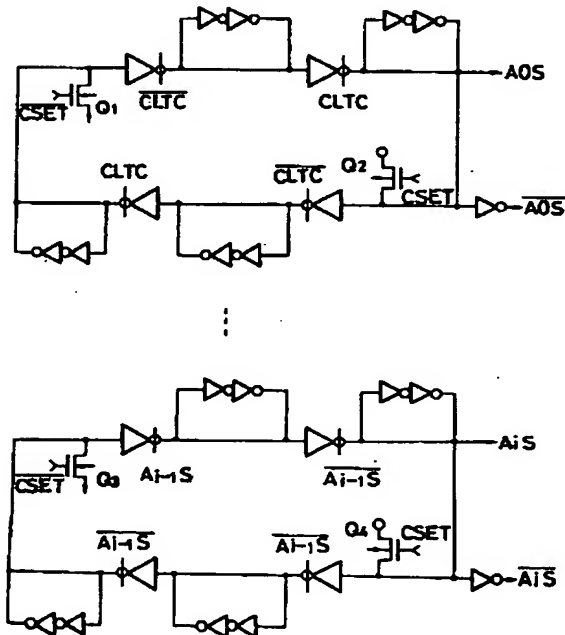
特開平 3-88193 (6)



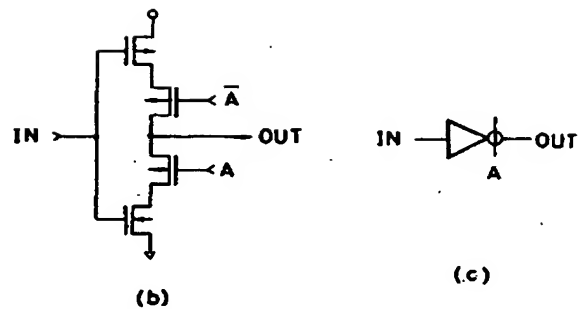
第 1 図



第 2 図



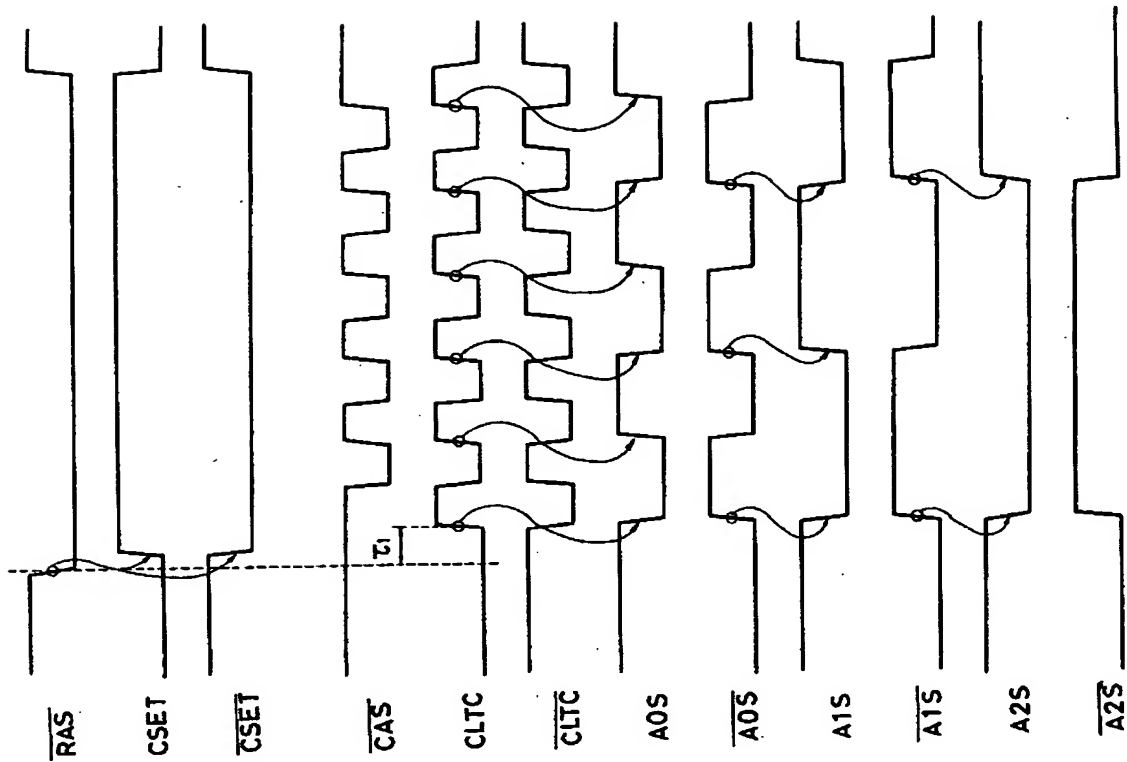
第 3 図 (a)



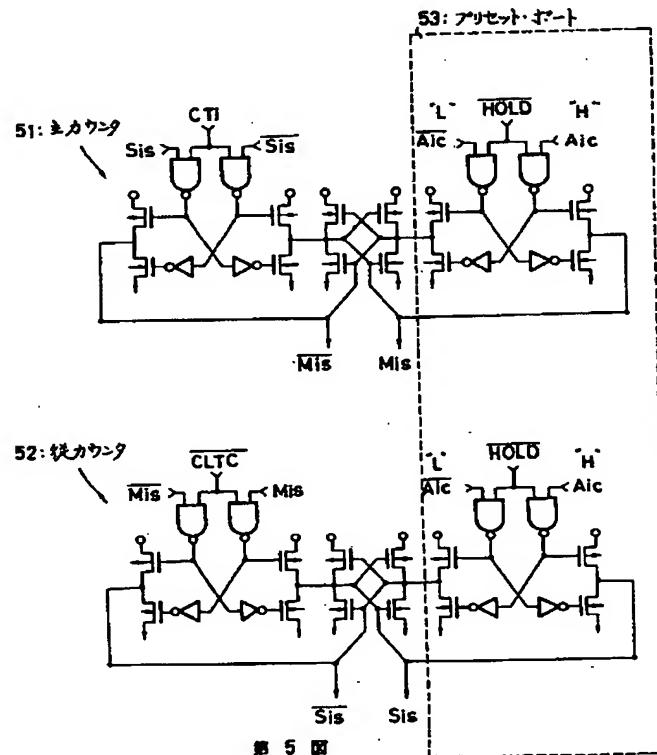
第 3 図



特開平3-88193 (7)

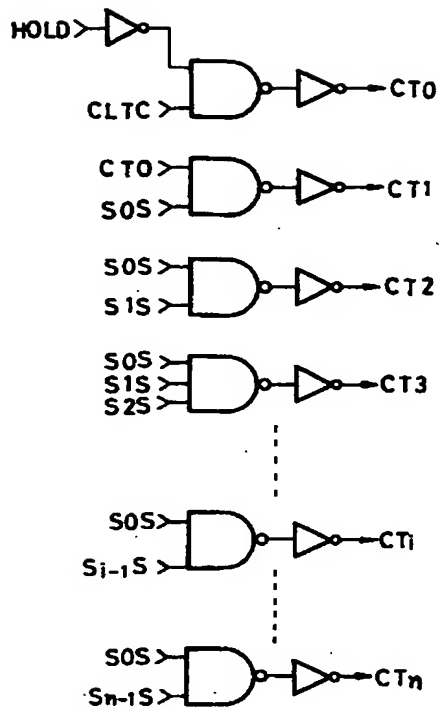


第4図

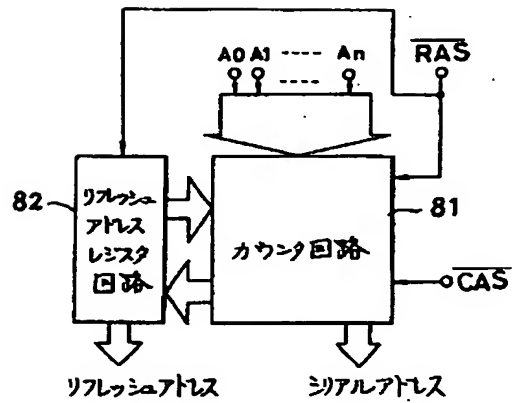


第5図

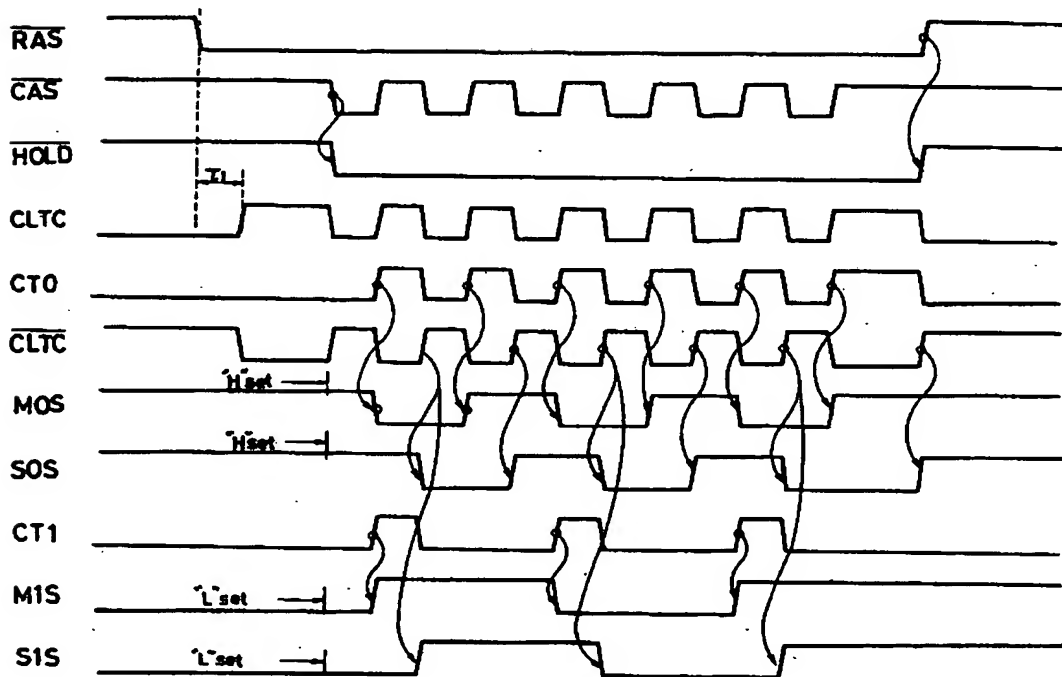
## 特開平3-88193 (8)



第 6 図

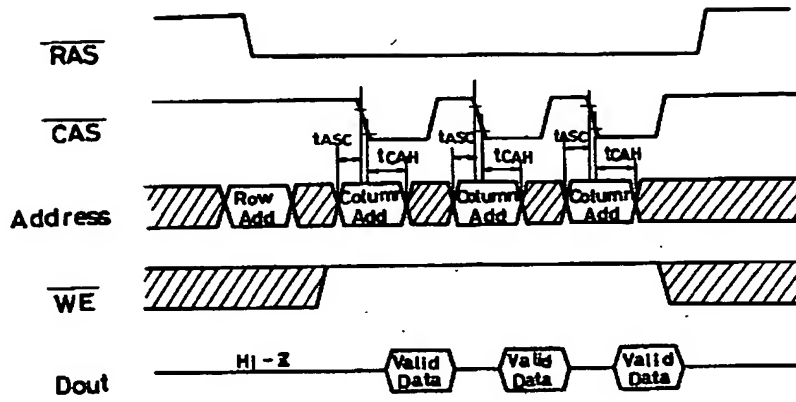


第 8 図



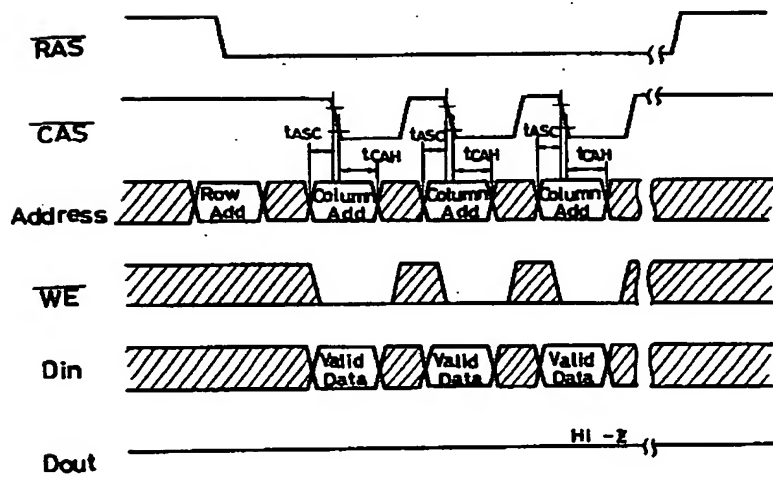
第 7 図

特開平 3-88193 (9)



〔ページモード、リードサイクル〕

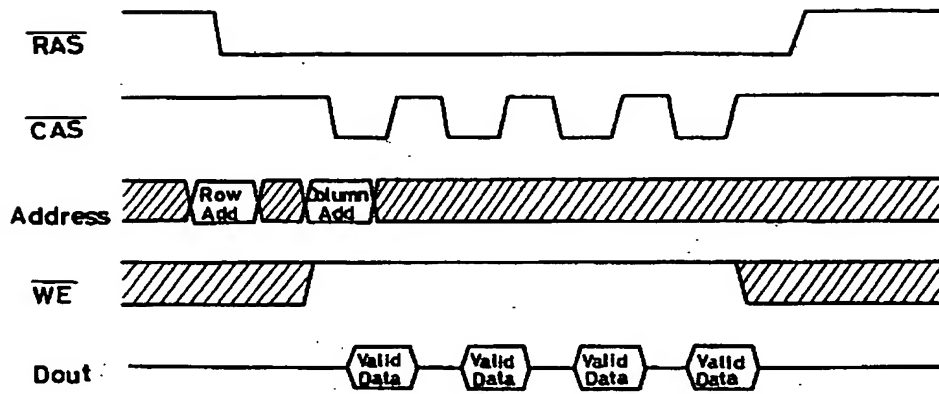
第 9 図



〔ページモード・ライト・サイクル〕

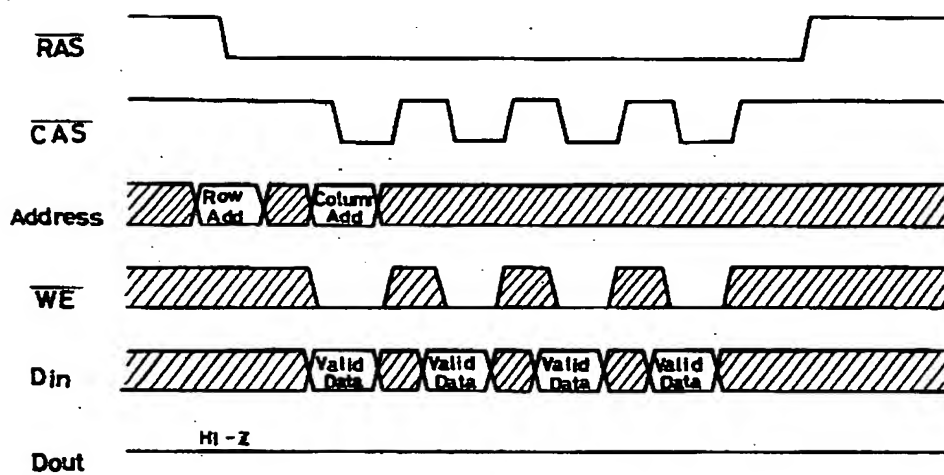
第 10 図

特開平 3-88193 (10)



〔ニフルモード・リード・サイクル〕

第 11 図



〔ニフルモード・ライト・サイクル〕

第 12 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**